1. **Tải phần mềm**

Bước 1: vào link sau tải phần mềm

<https://www.intel.com/content/www/us/en/software-kit/795188/intel-quartus-prime-lite-edition-design-software-version-23-1-for-windows.html>

Chỗ version chọn 17.0 và 17.1

Bước 2: trong 17.0 kéo xuống ở phần downloads chọn individual

Tải Cyclone V và Max 10

Tải ModelSim-Intel® FPGA Edition (includes Starter Edition)

Tải Intel® Quartus® Prime (includes Nios® II EDS)

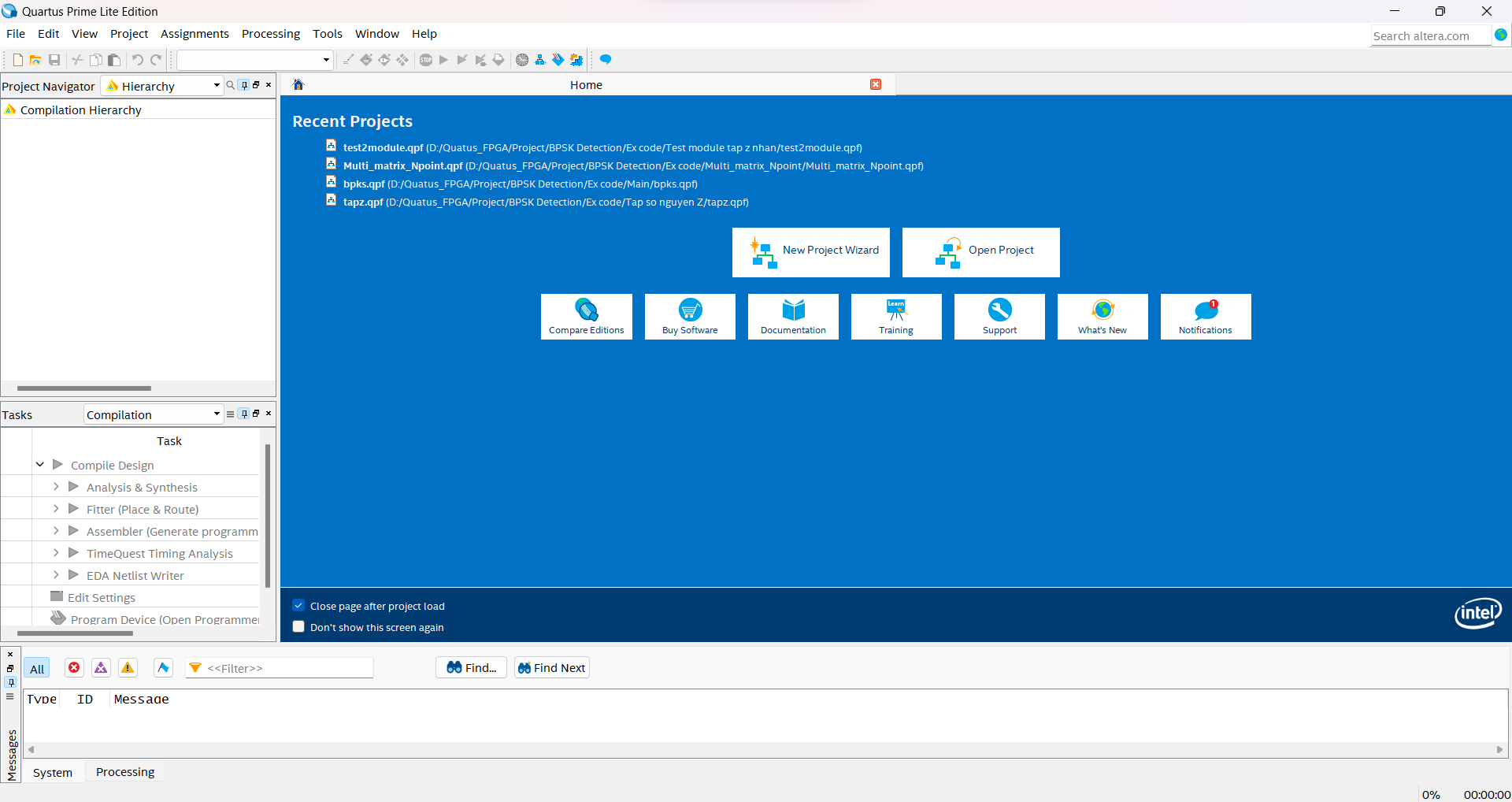
Bước 3: giải nén và chạy ra 2 file

ModelSim-Intel® FPGA Edition (includes Starter Edition)

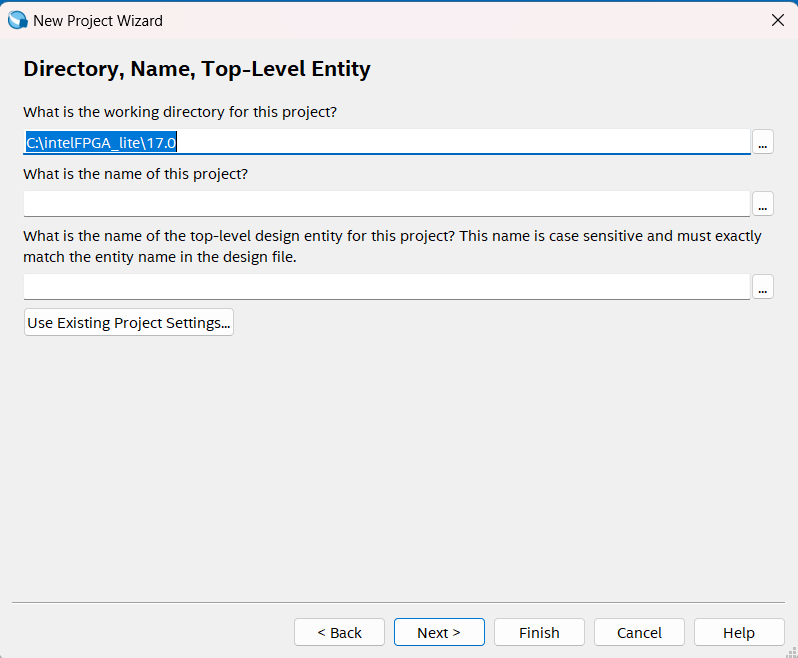
Intel® Quartus® Prime (includes Nios® II EDS)

1. **Tạo 1 Project và run project**

Bước 1: Khởi động Quartus



Bước 2: Tạo project: New project wizard -> Next

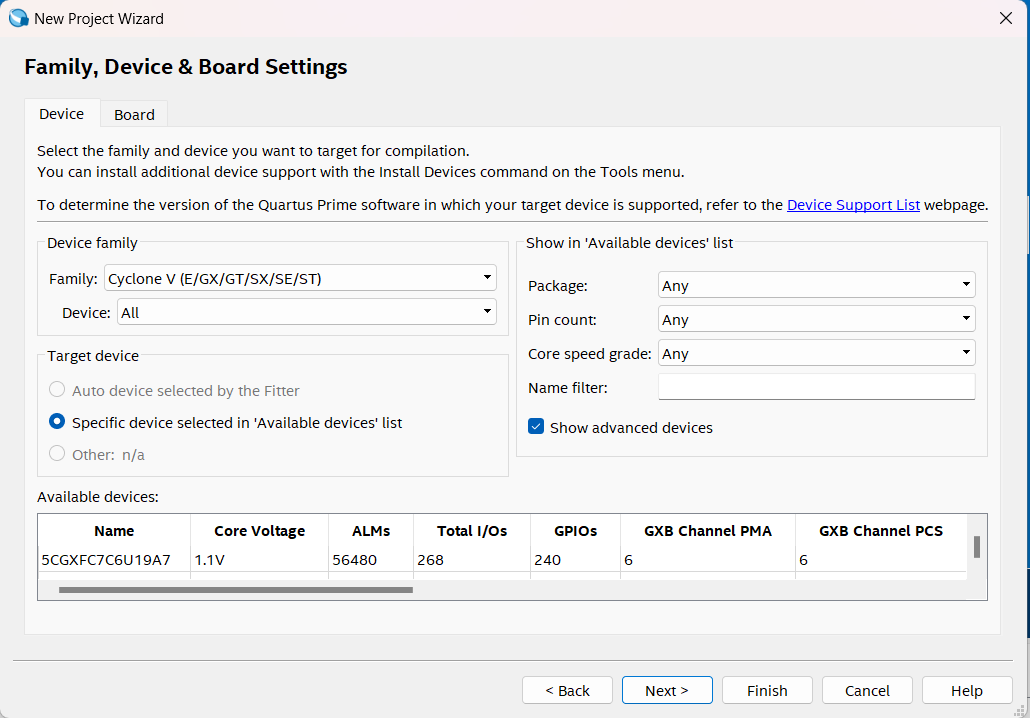


Dòng đầu: Chọn đường dẫn lưu project

Dòng 2: tên project (Dòng 3 theo dòng 2)

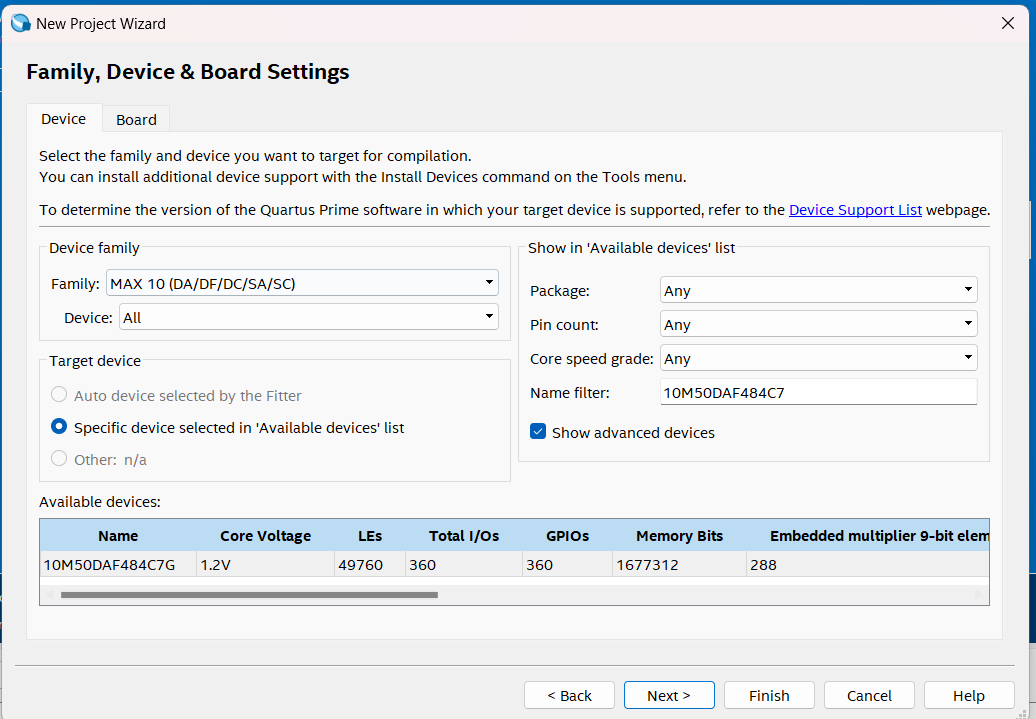
Xong next -> Chọn Empty -> Next -> Next(nếu chưa có file code có sẵn)

Bước 3: Chọn Device và board



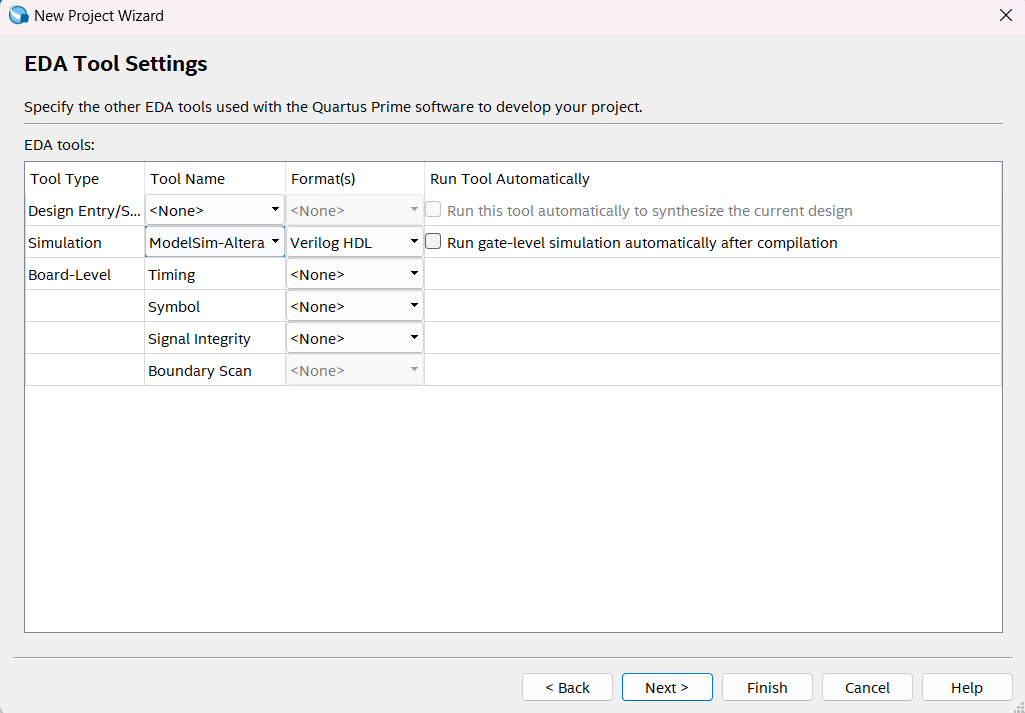
Xem trên datasheet của FPGA là MAX 10 hay Cyclone mấy ( điền vào mục family)

Name filter: chọn mã của FPGA thì sẽ hiển thị mã ở bảng Availible devices và chọn xong next

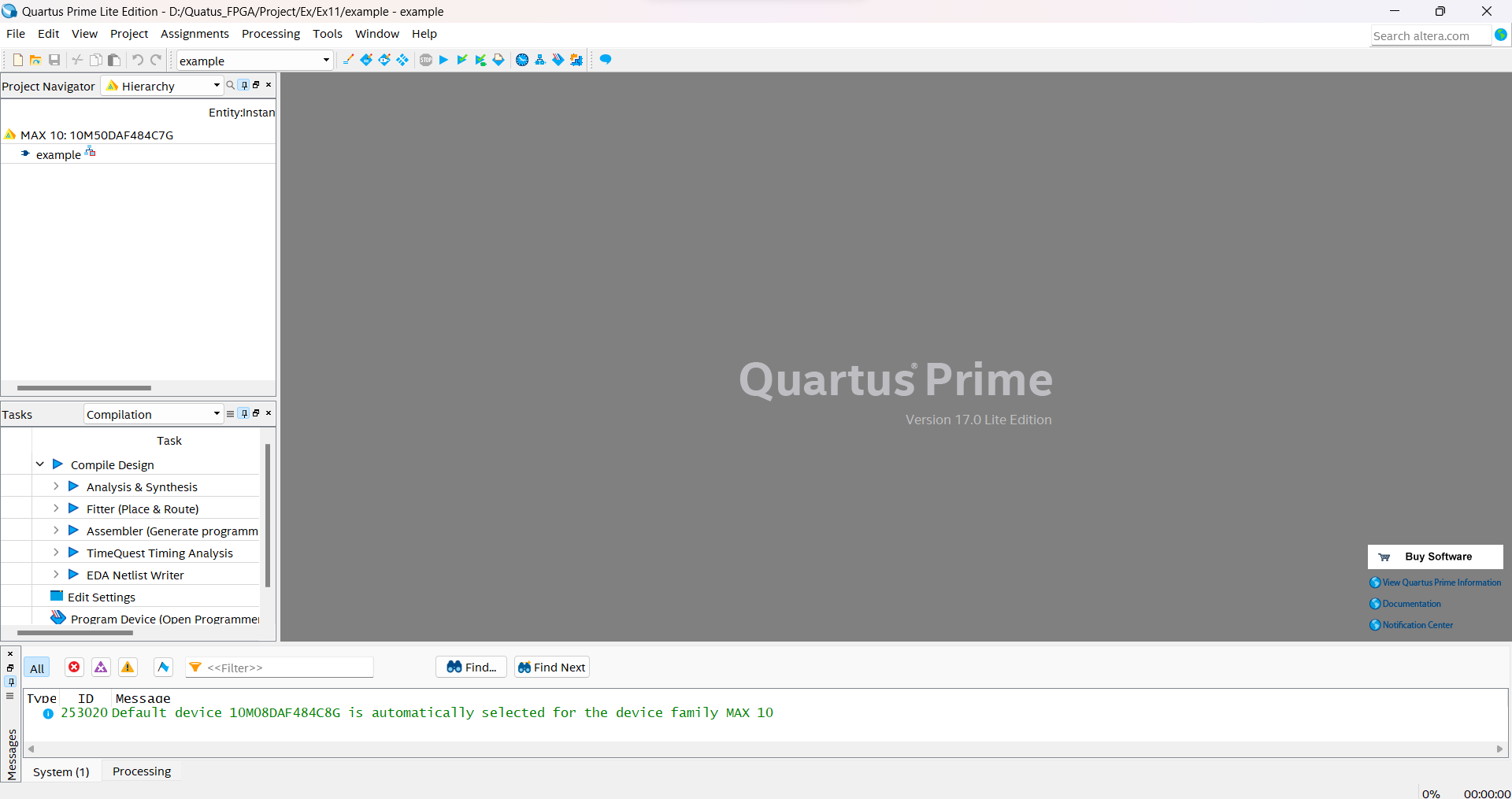


Ví dụ cho kit DE10-LITE

Bước 4: Chọn mô phỏng và ngôn ngữ code



Xong next -> finish



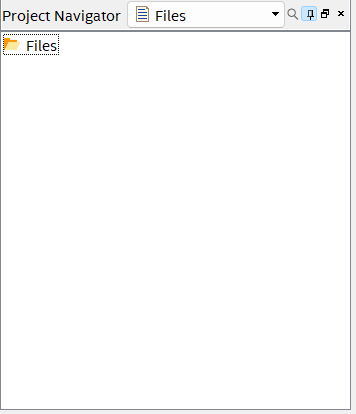
Cuối cùng có giao diện như này

Bước 5: Tạo file code

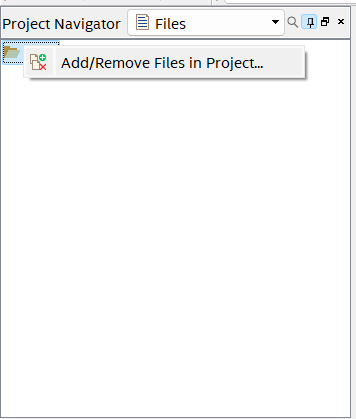
File -> New -> Verilog HDL file

(Chú ý tên file trùng tên module chính của file code)

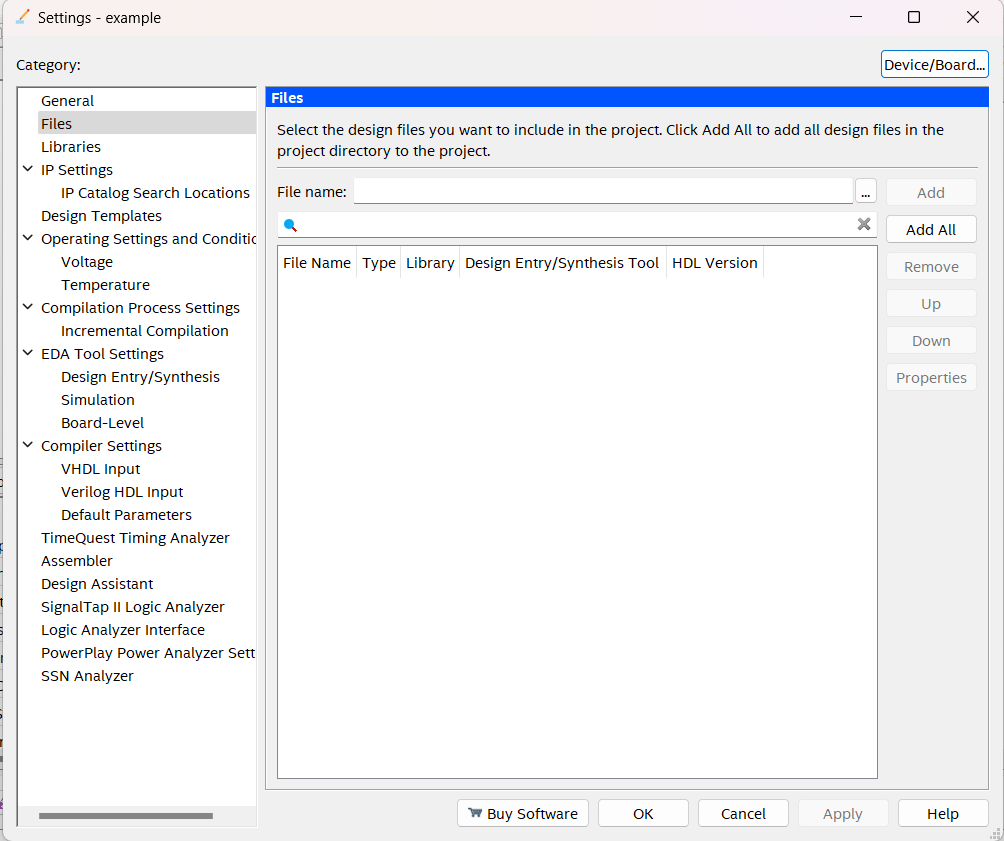
Còn muốn add file code có sẵn vào mục  chọn dạng file



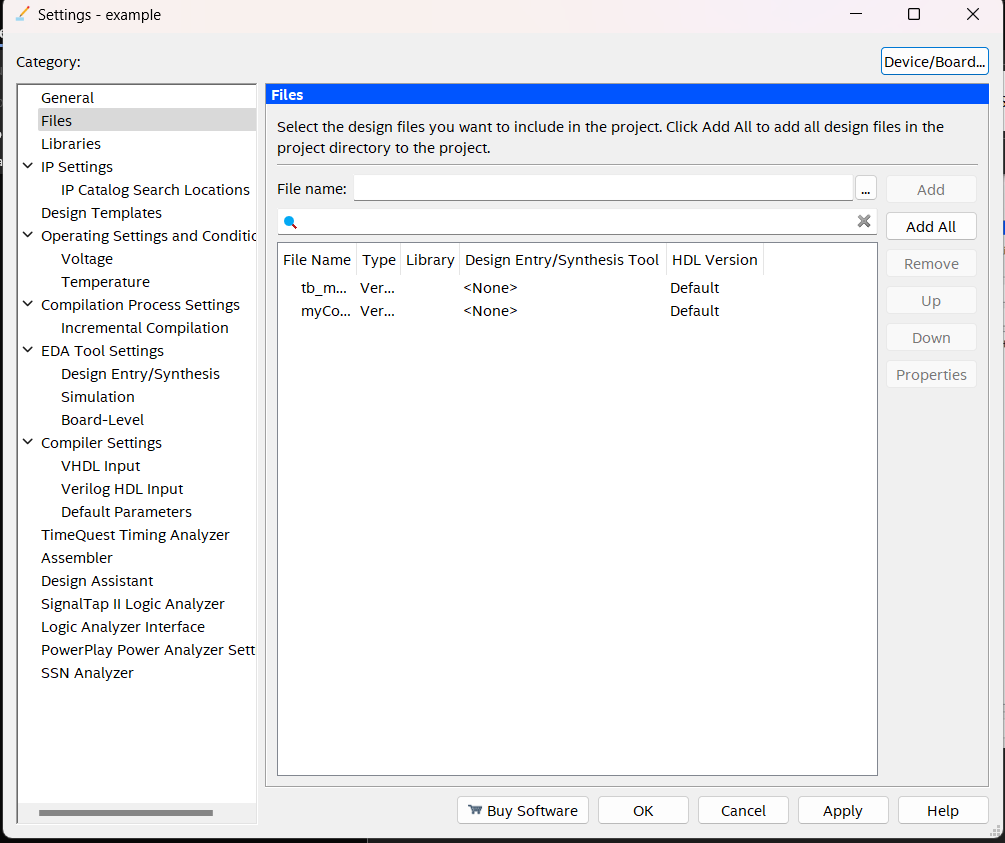
ấn vô Files màu vàng xong chuột phải



Ấn add hiện ra bảng

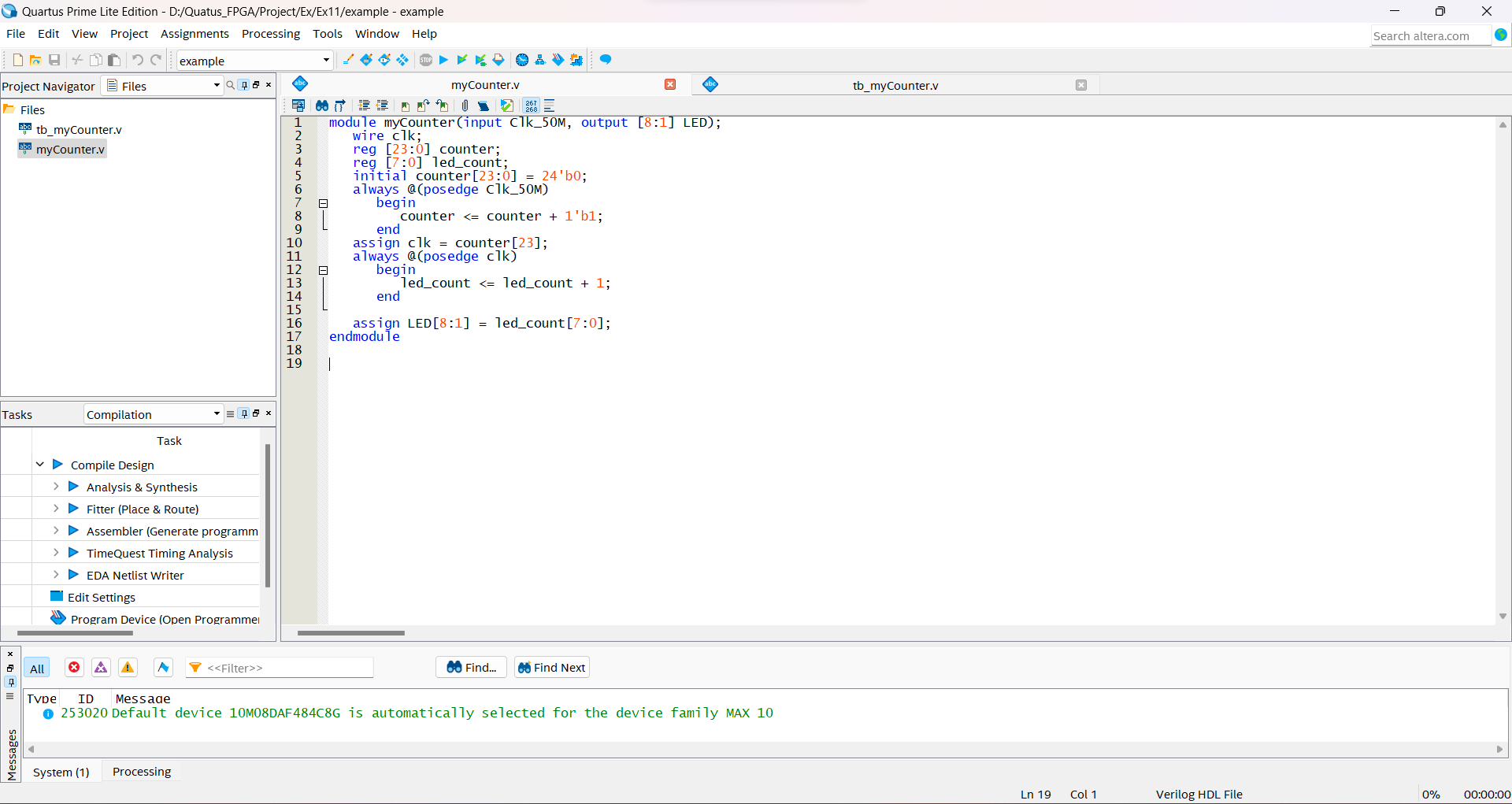


Tại dòng file name: ấn vào … thì trỏ tới các file cần add



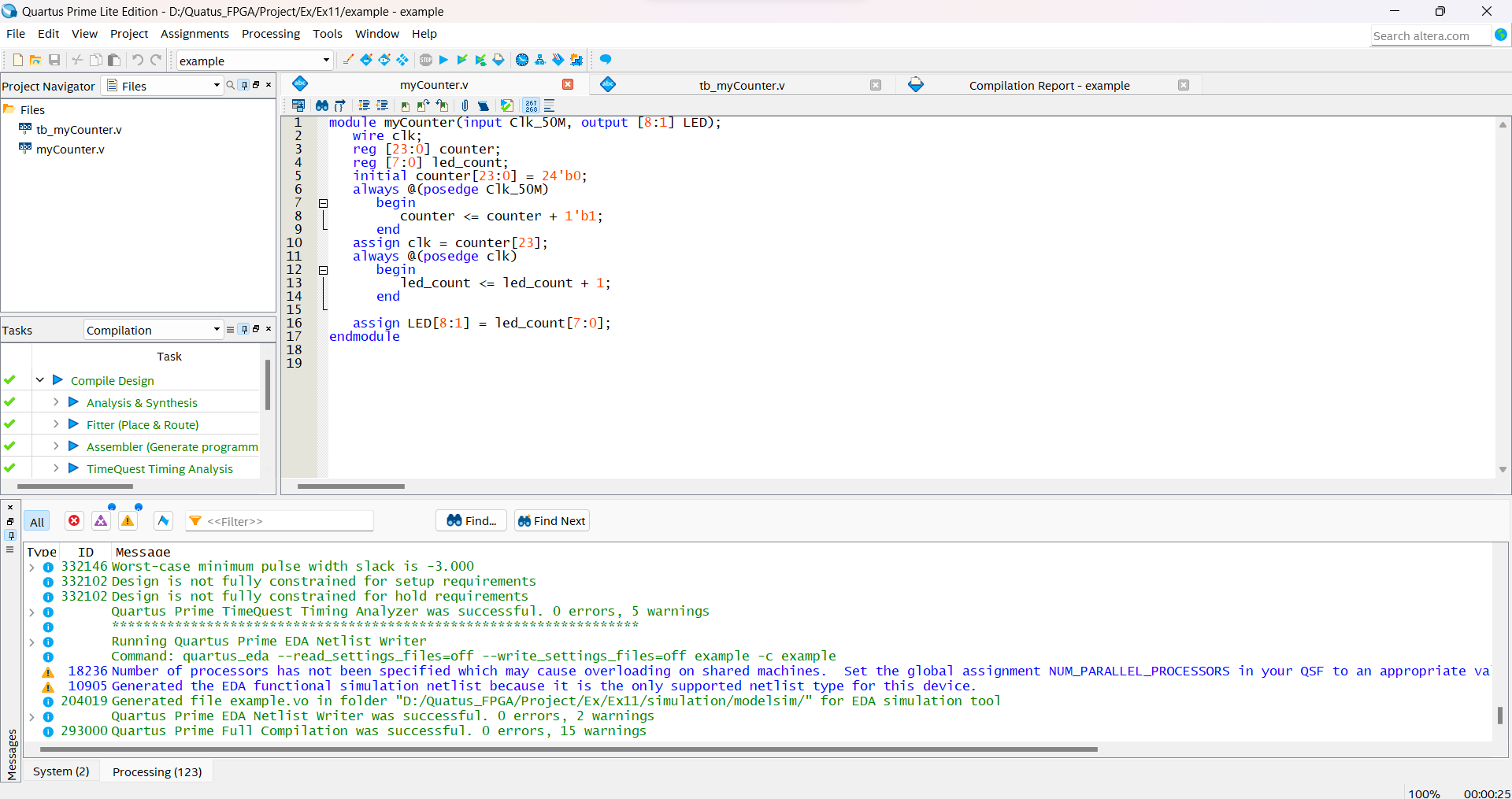
Xong OK

Xong ta được như này



Chạy file thì tổ hợp Ctrl + L

Nhưng trước khi chạy bạn cần phân biệt đâu là file chính của chương trình để set top cho file đó mới chạy được. Ví dụ : có file chính và file testbench thì set top cho file chính bằng cách chuột phải vào fie cần set chọn dòng set-top rồi mới CTRL+L

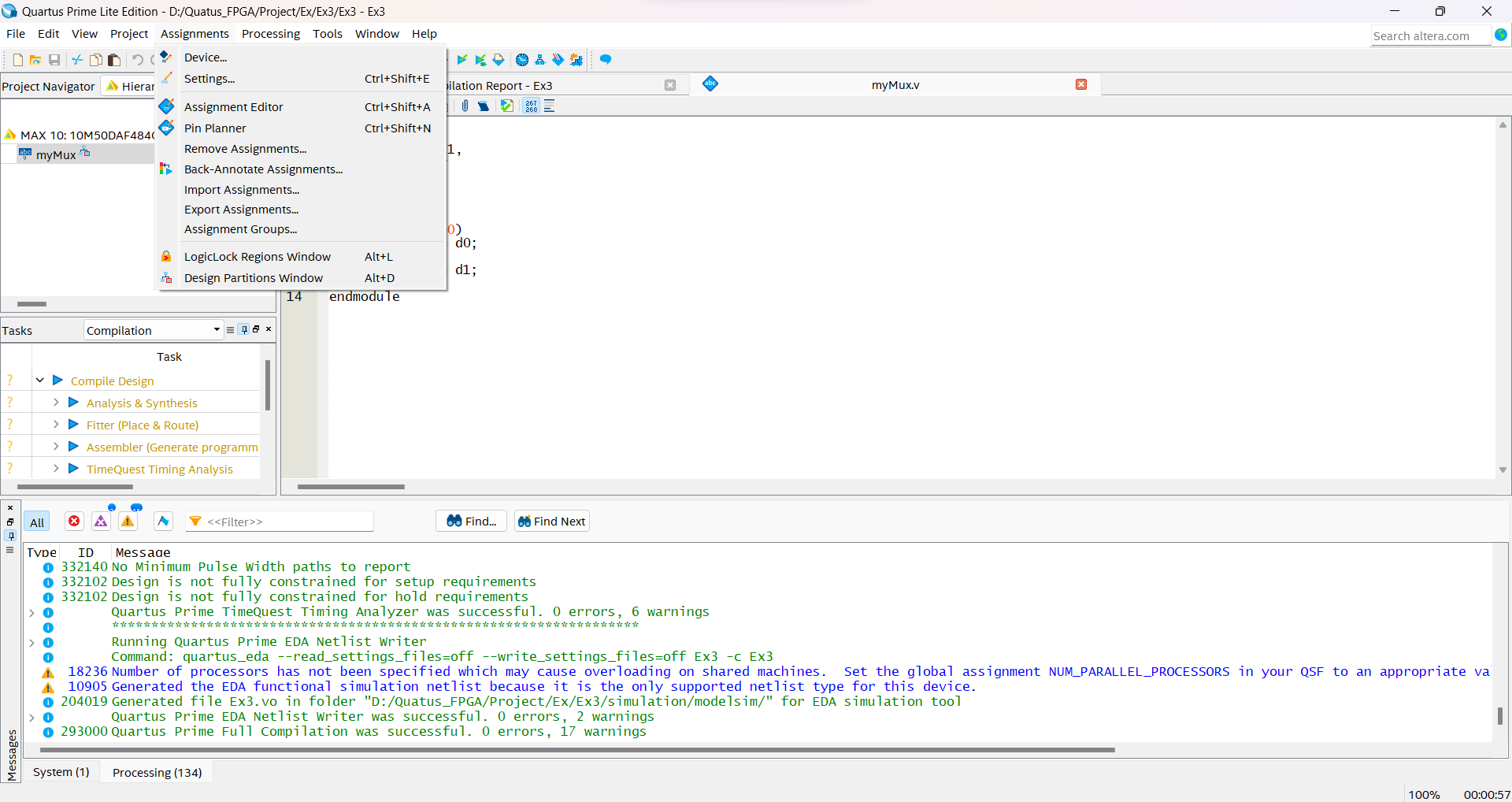


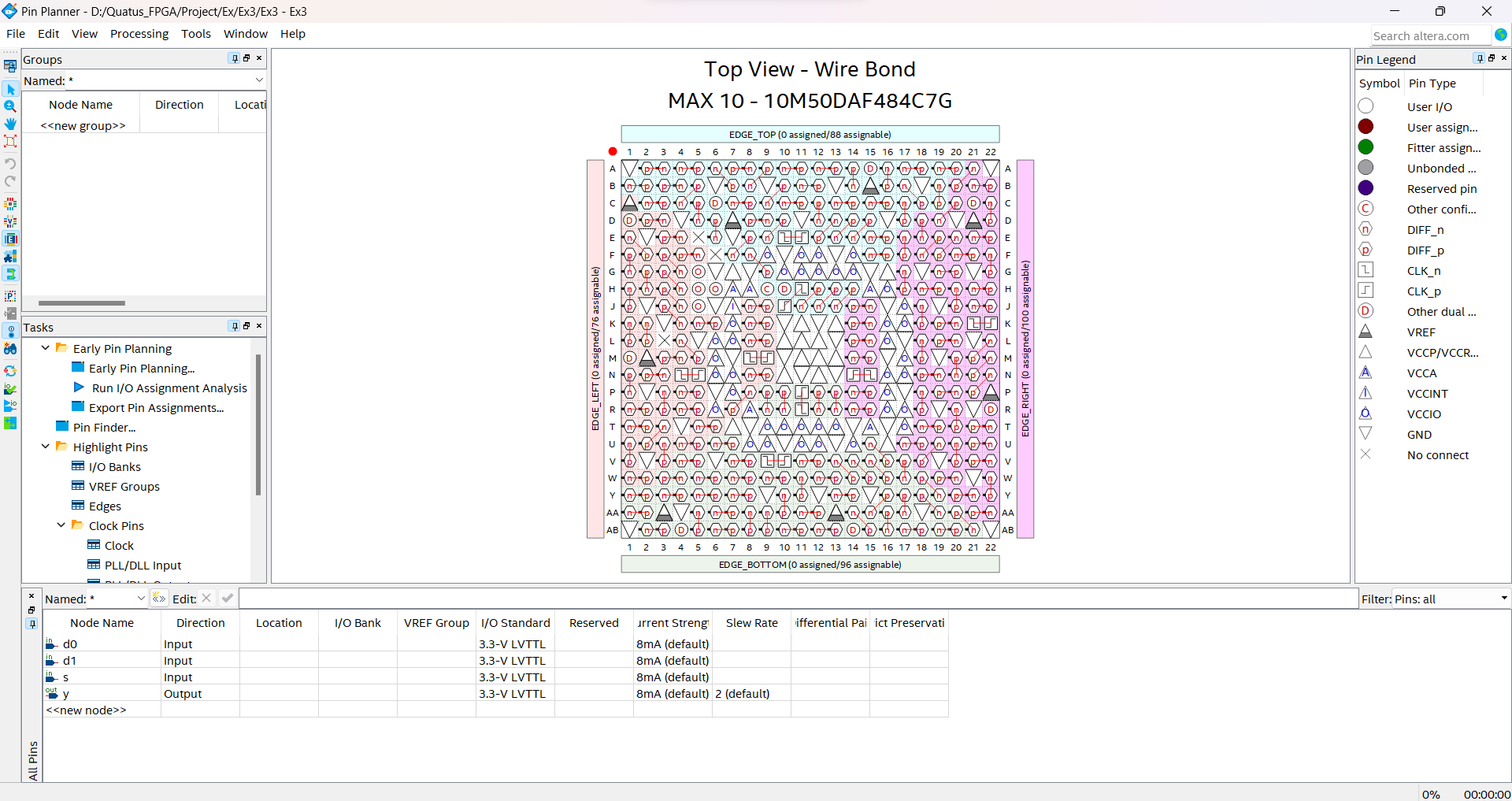
Đây là kết quả

1. **Load xuống kit FPGA**

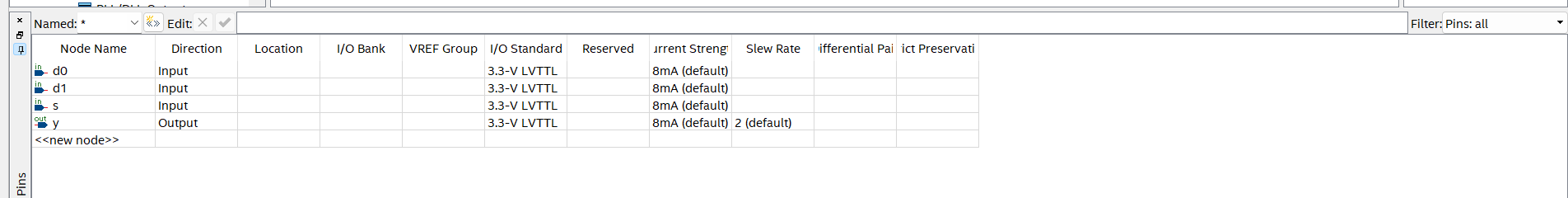
Bước 1: Sau khi bạn run xong thành công bạn cần gán chân cho kit (dung datasheet)

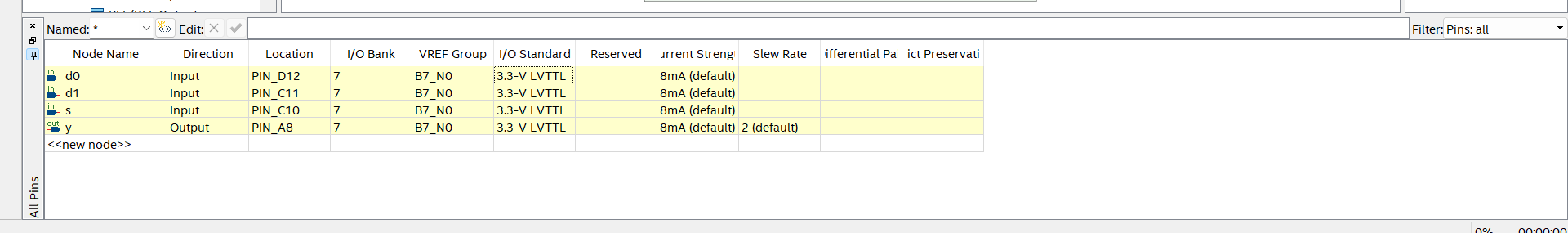
Bạn vào assignment chọn pin planner

****

****

Bước 2: Bạn gán chân cho nó từ datasheet

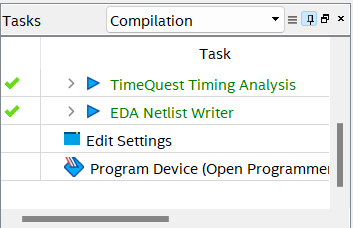




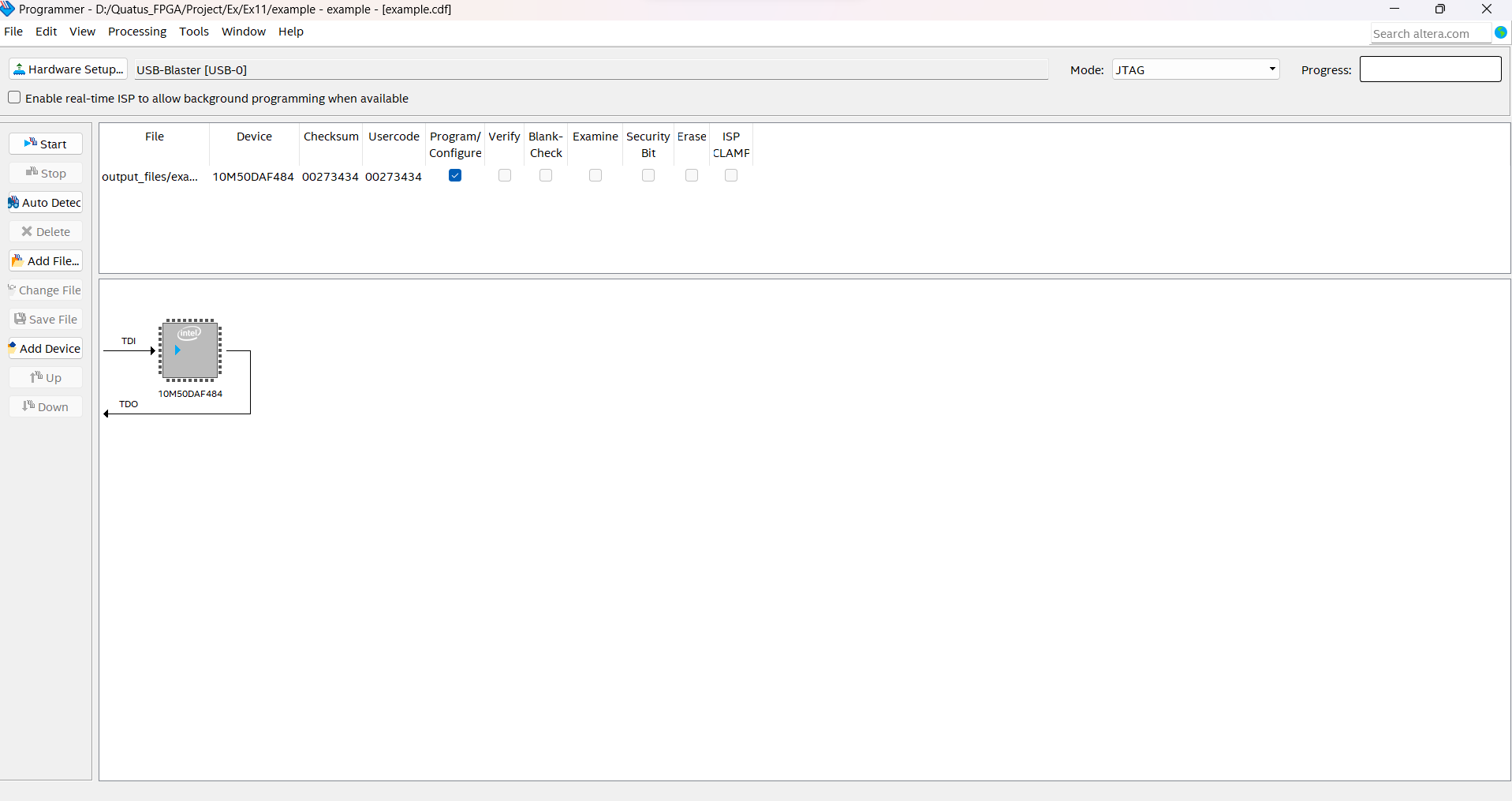
Bạn tắt pin planner xong CTRL+L run lại

Bước 3: Bạn kết nối cứng kit FPGA với máy tính

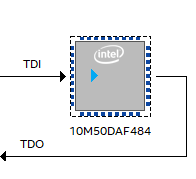
Bước 4: tại phần task bạn kéo xuống hết

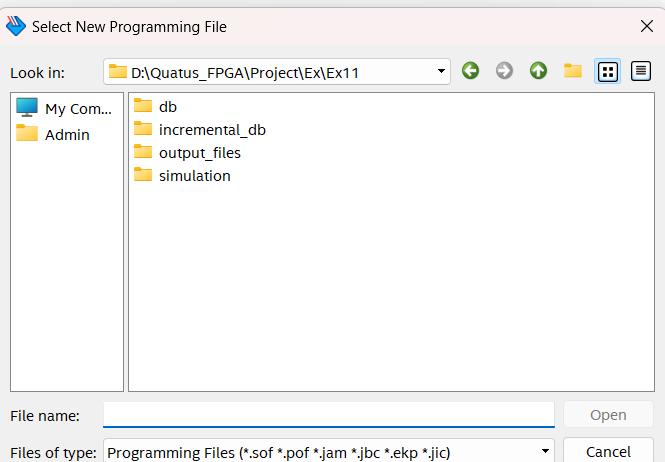


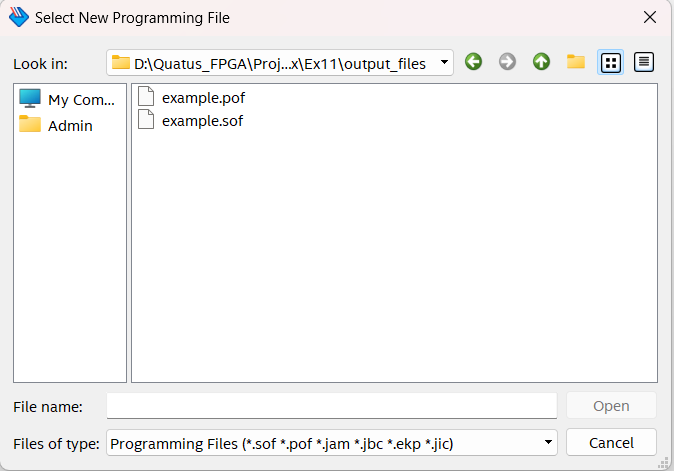
Bạn chọn program device



Chọn auto detect -> tìm mã FPGA mà bạn đã chọn ở lúc tạo project -> Ok

Bước 5: Bạn chọn vào  rồi ấn vào 

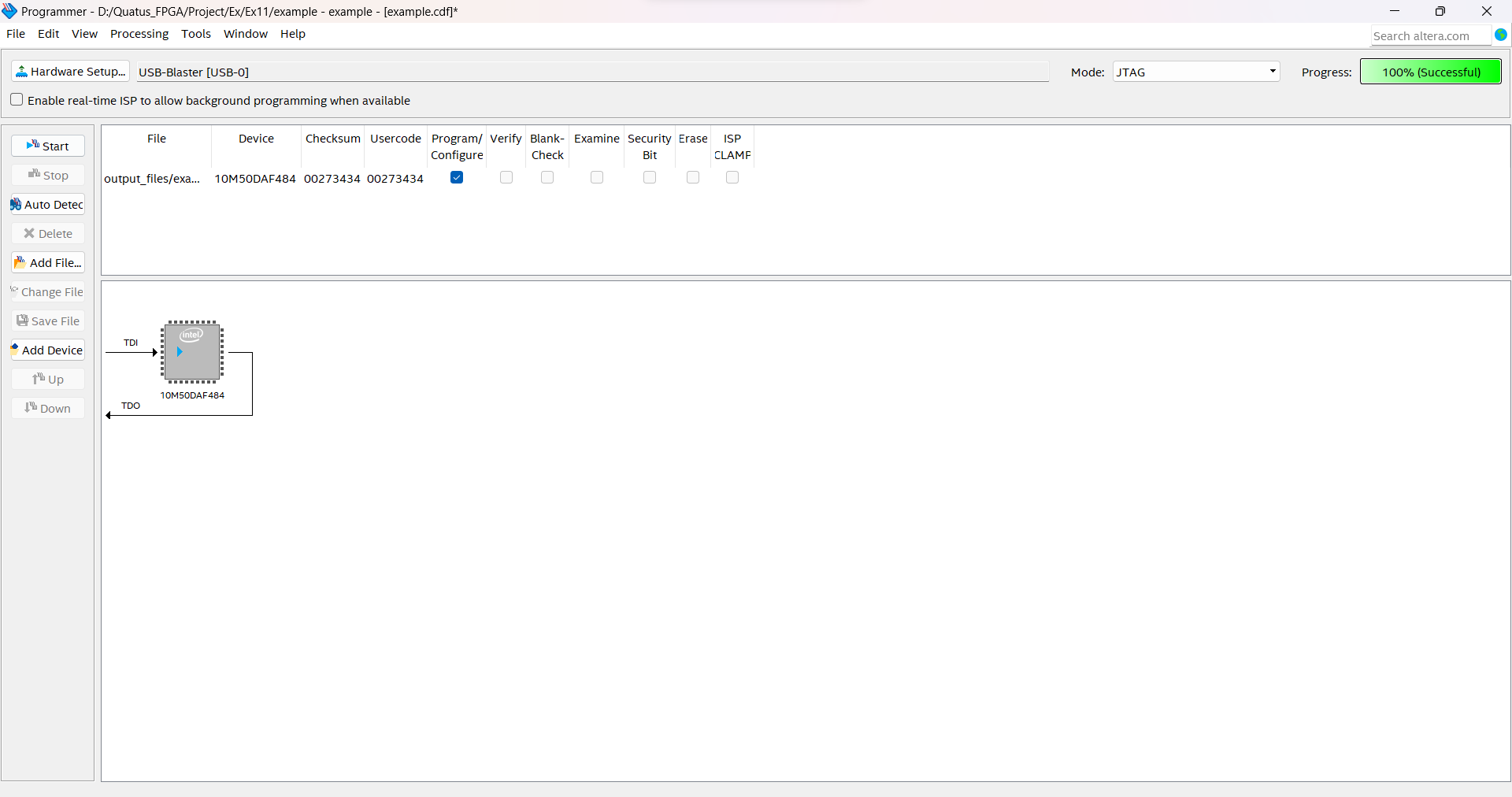
Nó hiện ra như sau 

Bạn chọn output\_files rồi chọn file đuôi .sof 

Bước 6: Bạn kiếm tra xem đã kết nối với kit chưa

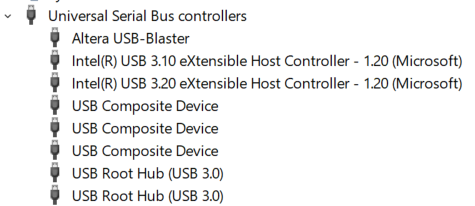


Nếu hiện như này đã kết nối thành công và bạn chỉ cần ấn start là load xuống kit thành công



Bước 7: Nếu bạn chưa kết nối với kit qua usb cứng thì bạn chọn vào Hardware Setup

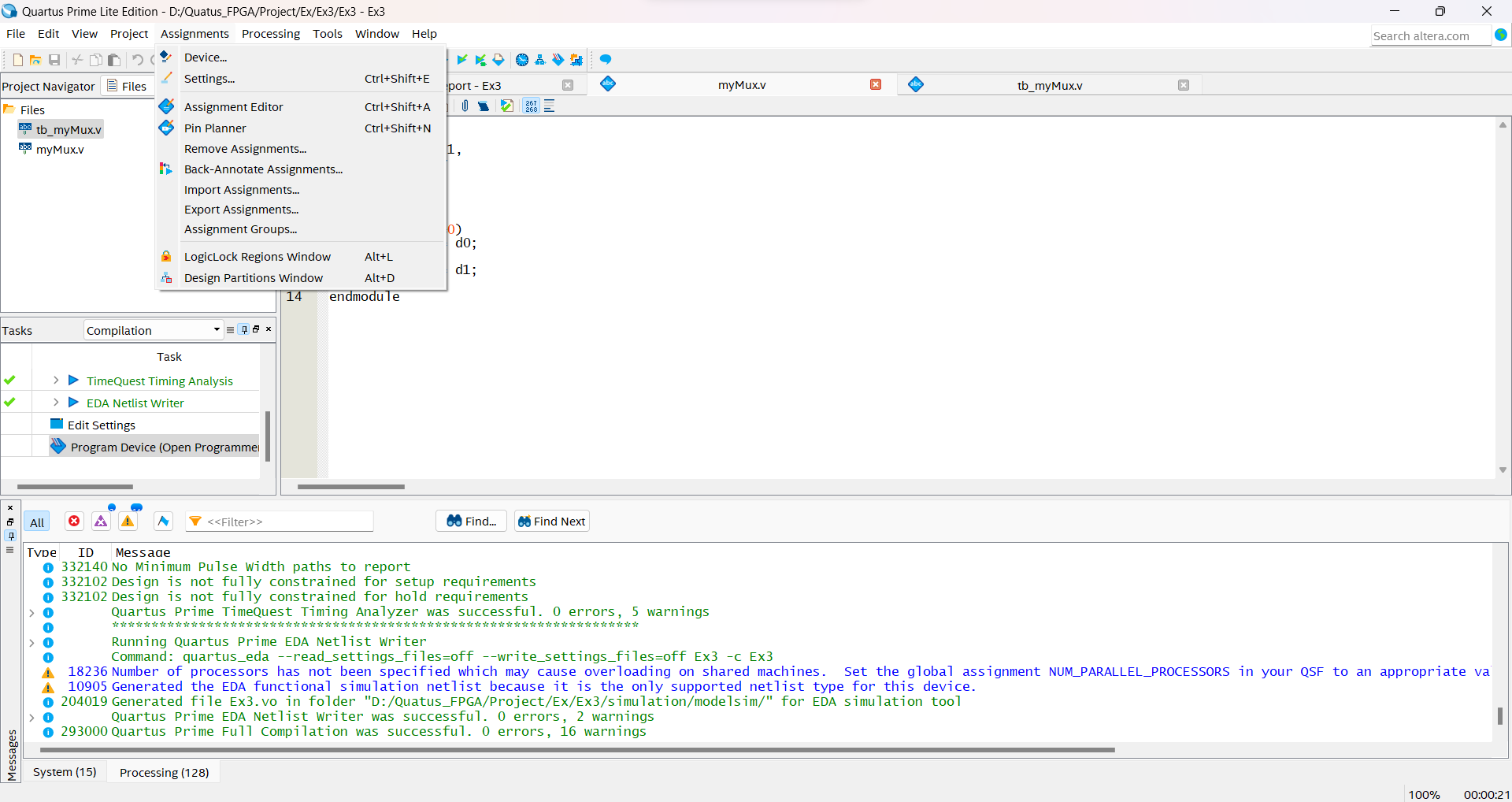
Xong bạn chọn add hardware rồi bạn trỏ tới thư mục FPGA lite rồi tới quartus rồi tới USB blaster xong Ok . Trước đó bạn lên mạng tải driver usb blaster về xong tắt hết diệt virus rồi mới add . Xong bạn khởi động lại máy rồi kết nối lại FPGA xong xem trong device manager xem có kết nối chưa



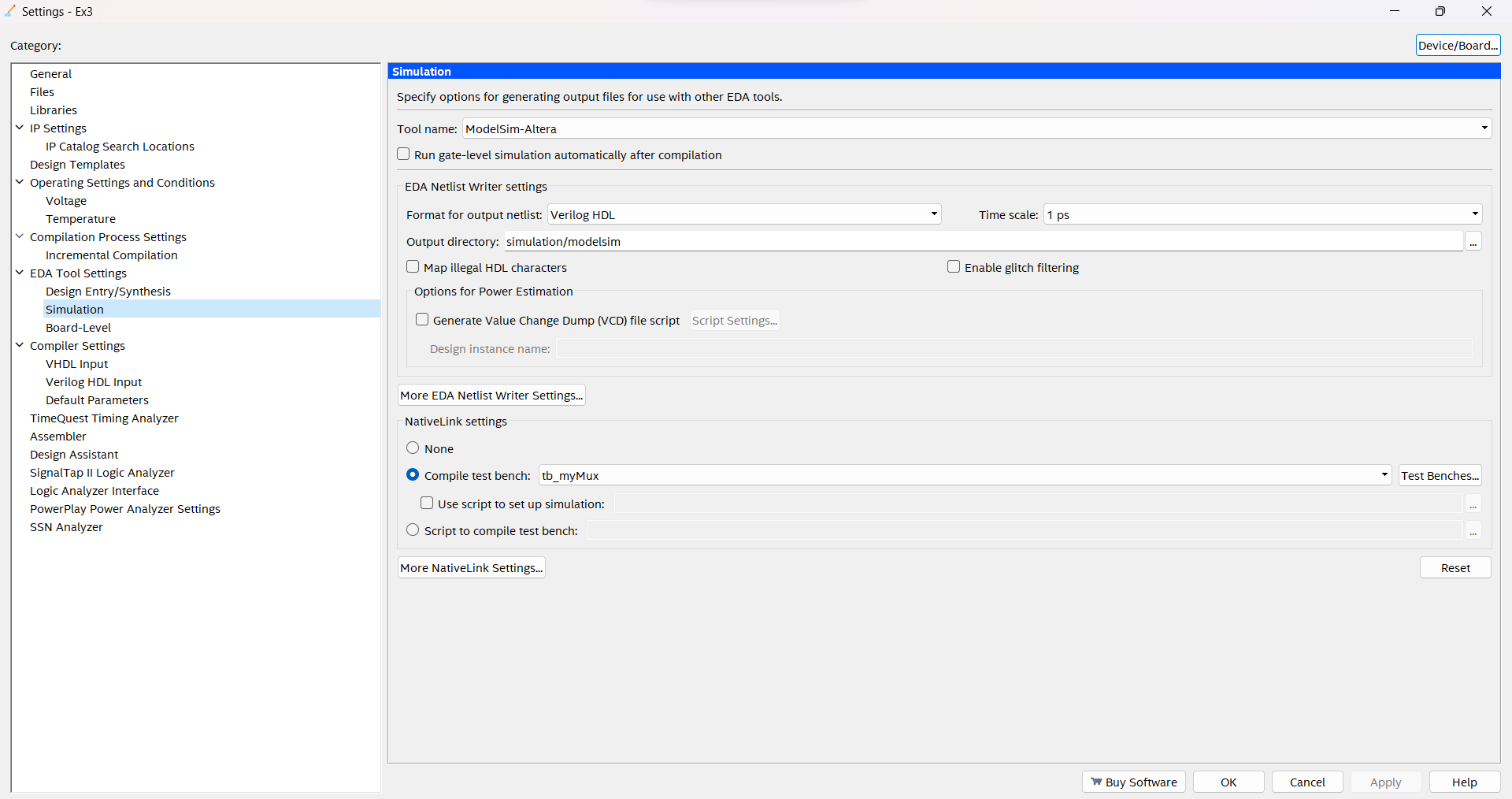
Thành công sẽ có là altera USB-BLASTER

1. **Cách dung test Testbench trên modelsim trong quartus**

Bước 1: vào assignment -> settings

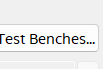


Bước 2: chọn Simulation

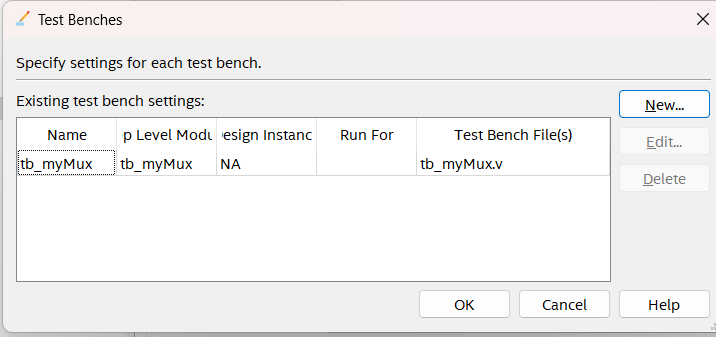


Bước 3: chọn compile test bench

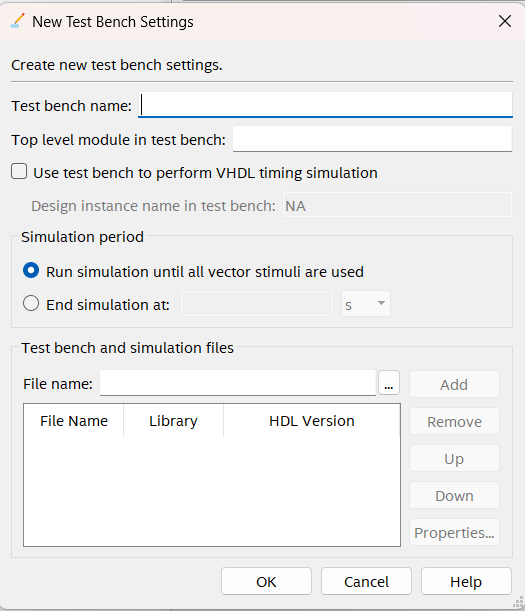


Chọn test benches… 

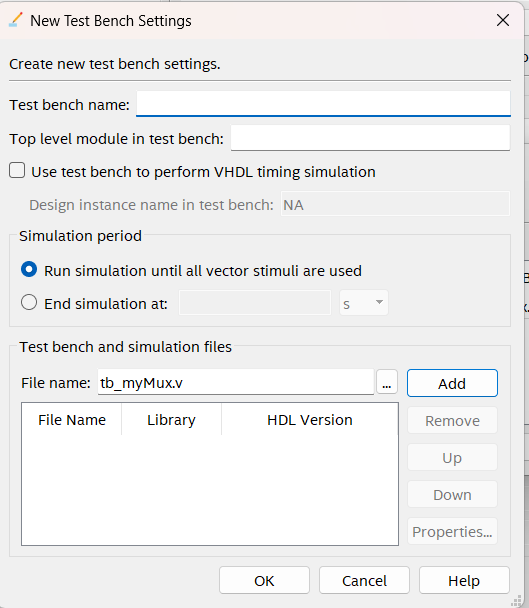
Bước 4: add file testbench



Chọn new..



Tại dòng file name: chọn … rồi add file test bench bạn có



Tại dòng test bench name ở đầu thì bạn để tên giống tên file testbench dưới

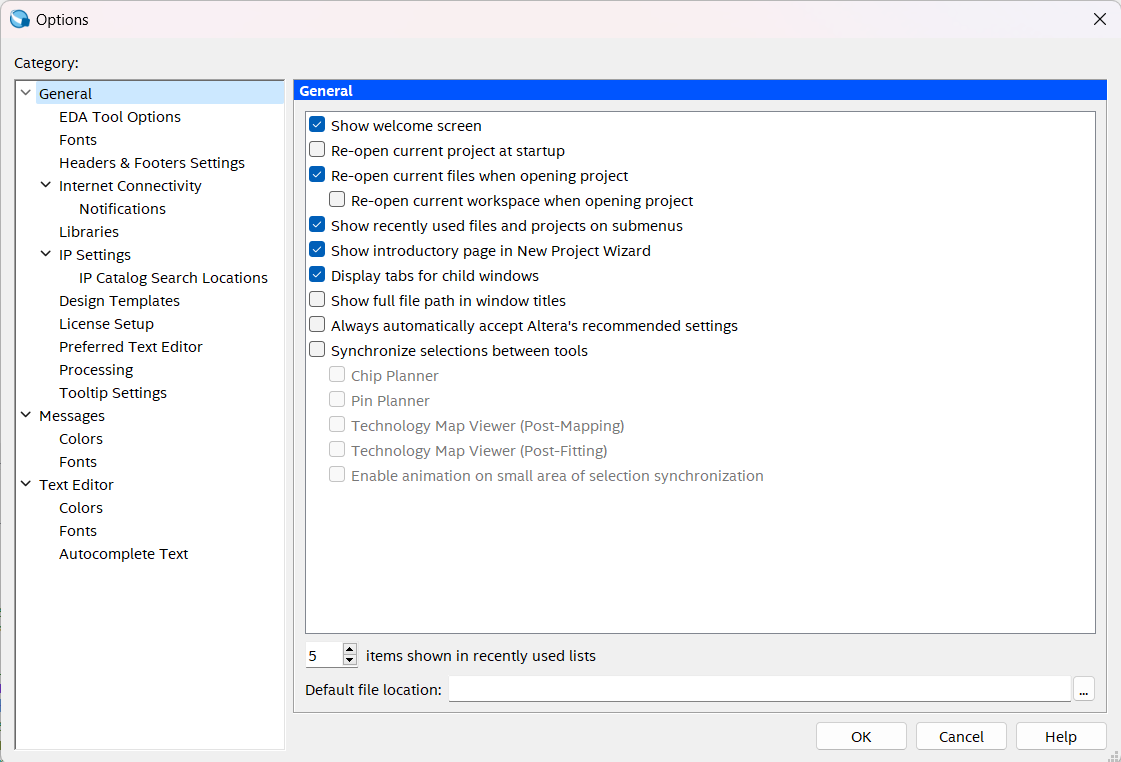
Xong Ấn add dưới xong Ok -> Done



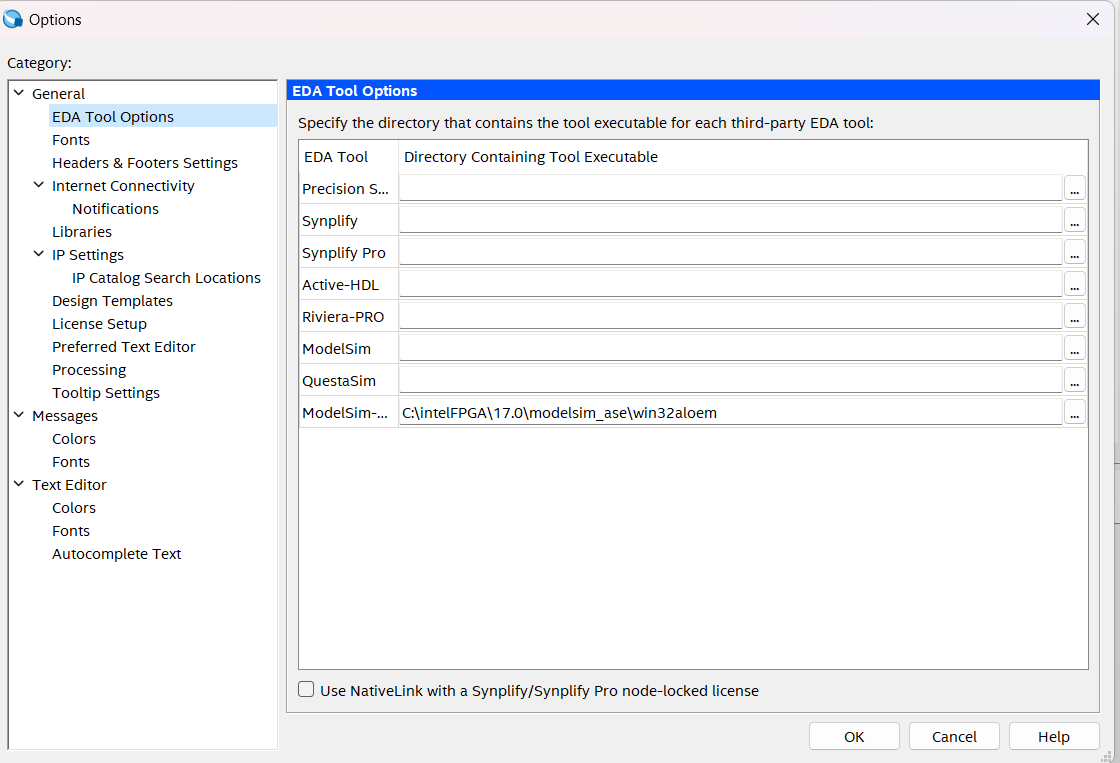
Được như này

Bước 5: Add modelsim vào quartus

Bạn vào tool-options



Chọn EDA Tool



Tại dòng modelsim altera ấn vào … để add

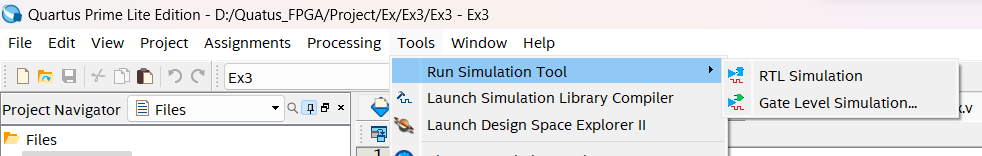


Bạn tìm đường dẫn như này C:\intelFPGA\17.0\modelsim\_ase\win32aloem

Phần đầu đường dẫn do bạn lưu nhưng nó sẽ từ nguồn intelFPGA\17.0\modelsim\_ase\win32aloem

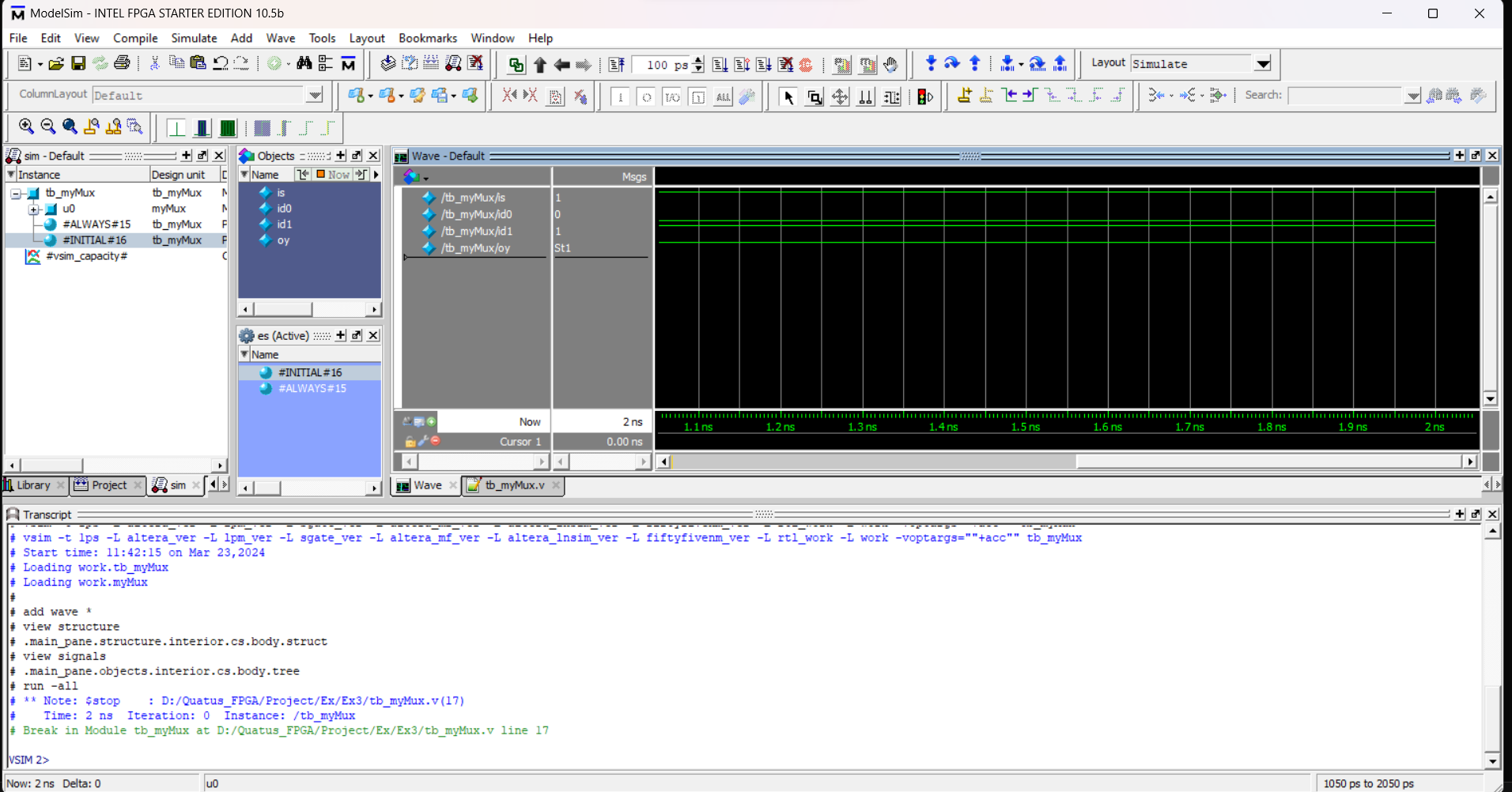
Tìm win32aloem là done Xong bạn run lại

Bước 6: Chạy modelsim



Tool -> Run simulation tool -> RTL Simulation

Đợi lúc là nó hiện ra modelsim (tự động chạy ra tín hiệu cho bạn)



Đây là kết quả

1. **Code ví dụ cho bạn test**

Mymux.v

module myMux

(

input s,d0,d1,

output reg y

);

always @(s)

begin

if(s==0)

y = d0;

else

y = d1;

end

endmodule

tb\_myMux.v

`timescale 1ns/100ps

module tb\_myMux();

reg is,id0,id1;

wire oy;

myMux u0(.s(is),.d0(id0),.d1(id1),.y(oy));

initial

begin

is = 1'b0;

id0 = 1'b0;

id1 = 1'b01;

end

always #1 is = 1'b1;

initial

#2 $stop;

endmodule